

Architektura przetworników A/C

Adam Drózd

Rozdział 1

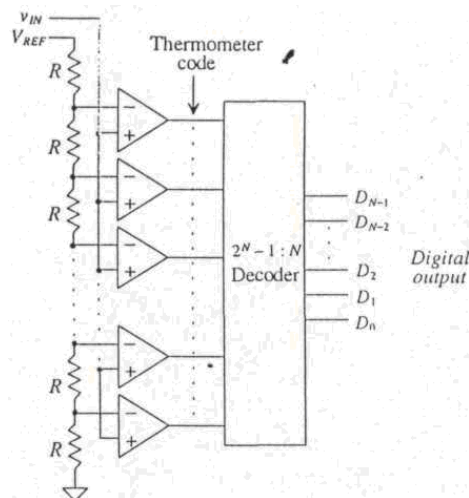
Architektura przetworników A/C

Rozwój techniki cyfrowej spowodował opacownie wielu zasad działania i praktycznych rozwiązań przetworników analogowo–cyfrowych dla różnych zastosowań. Ze względu na rozwiązania konstrukcyjne przetworniki a/c można podzielić na: przetworniki z bezpośrednim porównaniem, potokowe, realizujące metodę kolejnych przybliżeń oraz przetworniki z nadpróbkowaniem. Istnieje w literaturze również podział na przetworniki dokładne (duża rozdzielczość) i szybkie. [3] Oczywiście większa dokładność przekłada się na mniejszą szybkość działania przetwornika.

1.1 Przetworniki równoległe–Flash

Przetworniki tego typu są najszybsze ze wszystkich rodzajów przetworników analogowo – cyfrowych. Schemat przedstawiony jest na rys. 1.1.

Metoda przetwarzania amplitudy sygnału analogowego na N – bitową postać cyfrową, polega na jednoczesnym porównaniu tego sygna-



Rys. 1.1: Schemat przetwornika równoległego – Flash

łu za pomocą $2^n - 1$ komparatorów z odpowiednimi częściami napięcia odniesienia, wytworzonymi za pomocą dzielnika rezystorowego. Dzielnik taki składa się z 2^n rezystorów. Kod na wyjściach komparatorów określany jest jako kod termometryczny. Sygnały wyjściowe wszystkich komparatorów o napięciu odniesienia V_{ref} mniejszym lub równym napięciu wejściowemu V_{in} , są równe 1, a pozostałe mają wartość zero. Układ dekodera priorytetowego dokonuje konwersji kombinacji sygnałów logicznych na wyjściach komparatorów na N -bitowe słowa cyfrowe.

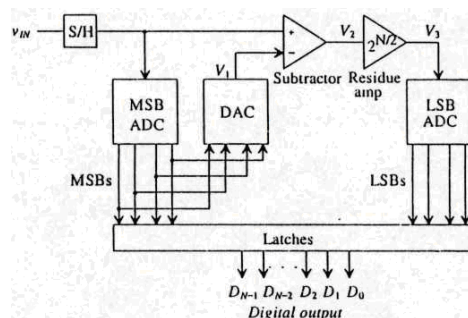
Oczywistą zaletą tego przetwornika jest szybkość przetwarzania. Każdy cykl generuje kolejne słowo cyfrowe. Jednak szybkość tego przetwornika jest okupiona przez zajmowaną powierzchnię. Również z każdym kolejnym bitem jego powierzchnia podwaja się, np.: przetwornik 8-bitowy zawiera 255 komparatorów, natomiast 9-bitowy potrzebuje 511 komparatorów.

Przetworniki typu *Flash* tradycyjnie ograniczone były do 8-bitów

i prędkości przetwarzania od 10 do 40 MHz. Wadą tego typu przetworników jest zajmowana powierzchnia jak i duże zapotrzebowanie mocy dla $2^n - 1$ komparatorów. Szybkość przetwarzania ograniczona jest przez komparator i logikę cfrową.

1.2 Przetworniki szeregowo-równoległe (The Two-Step Flash ADC)

Inny rodzaj przetwornika typu Flash nazywany jest przetwornikiem dwukrokovym lub szeregowo – równoległym. W przetworniku tym każdy krok określa jednocześnie kilka (zwykle połowę) bitów kodu wyjściowego.[1] Schemat przetwornika pokazano na rysunku 1.2.



Rys. 1.2: Szeregowo-równoległy przetwornik a/c

Zasada działania przetwornika szeregowo-równoległego wymaga zastosowania układu próbkująco-pamiętającego (ang. sample-and-hold SH). Przetwornik dwukrokovy składa się z dwóch przetworników analogowo-cyfrowych. Pierwszy przetwornik generuje sygnały odpowiadające przybliżonej wartości napięcia wejściowego, które następnie podawane są na drugi, precyzyjny przetwornik a/c. Zaletą tego

przetwornika jest zmniejszenie liczby komparatorów z $2^n - 1$ w przetwornikach typu Flash do $2(2^{n/2} - 1)$.

Zasada działania:

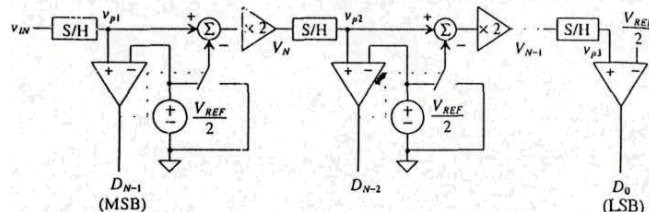
1. Napięcie wejściowe jest próbkowane, a następnie najbardziej znaczący bit (MSB) jest przetwarzany przez pierwszy przetwornik analogowo–cyfrowy typu *Flash*.
2. Otrzymane słowo cyfrowe jest przetwarzane przez przetwornik cyfrowo–analogowy, a sygnał wyjściowy jest odejmowany od sygnału wejściowego.
3. Różnica ta jest nieprzetworzoną jeszcze ”resztą” sygnału wejściowego, która po wzmocnieniu $2^{n/2}$ razy pozwala na zastosowanie dwóch identycznych przetworników a/c oraz na zwiększenie poziomu kwantowania sygnału wejściowego dla drugiego przetwornika.
4. Najmniej znaczący bit (LSB) jest generowany przez drugi przetwornik typu *Flash*.

Połączone kody z pierwszego i drugiego przetwornika a/c stanowią kod wyjściowy szeregowo–równoległego przetwornika a/c.

Przetworniki szeregowo–równoległe są stosowane przy częstotliwościach przetwarzania $1 \div 20$ MHz, przy rozdzielczości $9 \div 12$ bitów.[2]

1.3 Przetwornik potokowy (ang. Pipeline)

Przetwornik analogowo–cyfrowy typu pipeline jest n -krokovym przetwornikiem, gdzie jeden bit jest generowany w jednym kroku. Uzyskanie wysokiej rozdzielczości, przy stosunkowo dużej szybkości przetwarzania, jest możliwe poprzez połączenie każdego stopnia przetwarzającego w szereg (rys. 1.3). Każdy stopień składa się z komparatora, układu próbkującego pamiętającego, sumatora i wzmacniacza



Rys. 1.3: Schemat blokowy przetwornika a/c typu pipeline

o wzmacnieniu 2.

Zasada działania:

1. Napięcie wejściowe jest próbkowane i zapamiętywane w układzie SH, a następnie porównywane z napięciem $V_{ref}/2$. Wyjście każdego komparatora to jeden element wyjściowego słowa cyfrowego.
2. Jeżeli napięcie $V_{IN} > V_{ref}/2$ (wyjście komparatora jest równe 1) to napięcie $V_{ref}/2$ jest odejmowane od sygnału wejściowego, zapamiętanego w układzie SH. Jeśli natomiast napięcie $V_{IN} < V_{ref}/2$ (wyjście komparatora jest równe 0), to oryginalny sygnał wejściowy jest podawany na wejście wzmacniacza. Sygnał wyjściowy każdego stopnia jest przesyłany dalej jako "reszta".
3. Wzmacniacz mnoży wynik sumowania przez 2 i podaje sygnał do układu próbkująco-pamiętającego następnego stopnia.

Główną zaletą przetwornika typu *Pipeline* jest jego duża przepustowość. Podczas gdy "reszta" z pierwszego stopnia jest przetwarzana przez stopień drugi, pierwszy stopień może próbkować kolejny sygnał. Pozwala to na szybkie przetwarzanie sygnału analogowego. Wadą natomiast jest uzyskanie kodu cyfrowego odpowiadającego napięciu wejściowemu dopiero po N cyklach zegara.

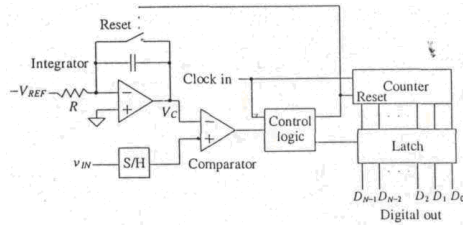
Dokładność zależy przede wszystkim od dokładności pierwszego stopnia, ponieważ błąd w pierwszym stopniu pociąga za sobą błędy w każdym następnym.

1.4 Przetworniki całkujące

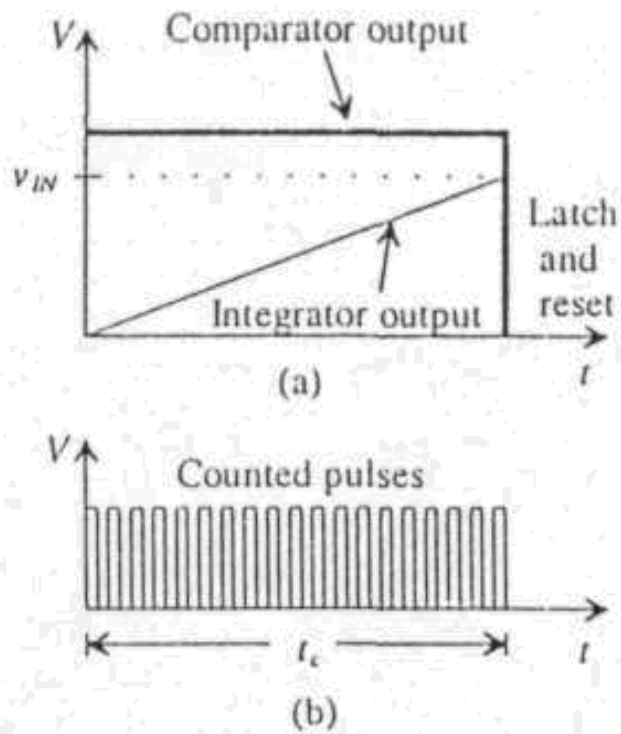
Innym typem przetworników są przetworniki całkujące. Układ całkuje napięcie wejściowe i zlicza czas tego całkowania. Układy całkujące używane są w systemach dużej rozdzielczości, ale są stosunkowo wolne.

1.4.1 Przetwornik analogowo–cyfrowy z pojedynczym całkowaniem

Przetwornik a/c z pojedynczym całkowaniem znany jest również pod nazwą przetwornik a/c z rozładowaniem liniowym (ang. single slope adc). Schemat przedstawiony jest na rysunku 1.4. Napięcie odniesienia V_{ref} podawane jest na układ całkujący - integrator. Licznik zlicza liczbę impulsów zegarowych do momentu gdy wartość napięcia z integratora będzie równa napięciu wejściowemu. Liczba zliczonych impulsów zegarowych jest proporcjonalna do napięcia wejściowego, a wyjście licznika jest reprezentacją cyfrową napięcia wejściowego. Ponieważ napięcie referencyjne V_{ref} jest stałe to napięcie wyjściowe z integratora wzrasta liniowo od zera. Kiedy napięcie to przewyższy napięcie V_{in} wyjście komparatora przełączy, sterując logikę cyfrową i stan licznika zostaje zapamiętany. Logika cyfrowa zeruje układ, przygotowując go do kolejnego przetwarzania. Działanie to zostało zilustrowane na rysunku 1.5. Należy pamiętać aby częstotliwość impulsów generatora zegarowego była dostosowana do napięcia wejściowego. Im większa ilość zliczonych impulsów zegarowych tym



Rys. 1.4: Schemat przetwornika z pojedynczym całkowaniem



Rys. 1.5: Wykresy dla przetwornika z pojedynczym całkowaniem

większa dokładność przetwornika. Czas konwersji t_c jest zależny od wartości napięcia wejściowego i może być opisany równaniem:

$$t_c = \frac{V_{In}}{V_{Ref}} RC \quad (1.1)$$

Wartość cyfrowa na wyjściu jest równa:

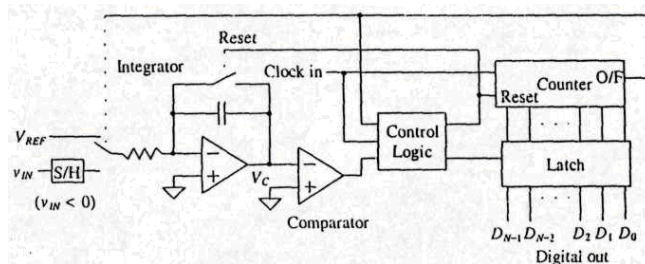
$$N = t_c \cdot f_c \quad (1.2)$$

f_c – częstotliwość generatora zegarowego.[3]

1.4.2 Przetwornik analogowo–cyfrowy z podwójnym całkowaniem

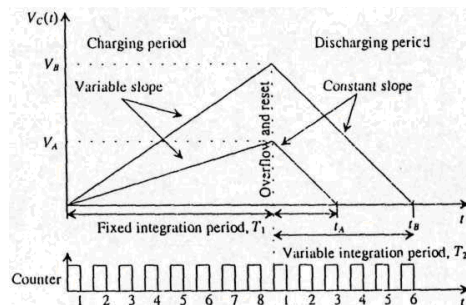
Przetwornik z podwójnym całkowaniem (rys. 1.6) jest bardziej rozbudowanym układem, który eliminuje większość problemów spotykanych w przetwornikach z pojedynczym całkowaniem. Częstotliwość generatora zegarowego nie jest tu parametrem krytycznym.

Zastosowano tu podwójne całkowanie: pierwsze dla sygnału wejściowego,



Rys. 1.6: Schemat przetwornika z podwójnym całkowaniem

wego, a drugie dla napięcia referencyjnego. Sygnał wejściowy, próbkowany i zapamiętany, jest poddawany całkowaniu w czasie określonym przez pełny zakres zliczania impulsów w liczniku. W efekcie otrzymujemy zbrocze narastające pokazane na rysunku 1.7. Następnie napięcie odniesienia jest podłączone do wejścia odwracającego integratora. Licznik zlicza impulsy zegarowe do momentu gdy komparator przełączy. Stan licznika reprezentuje cyfrową wartość sygnału wejściowego.

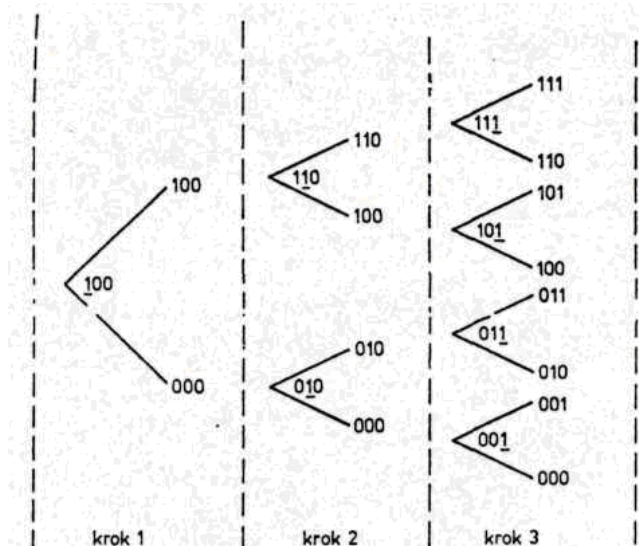


Rys. 1.7: Wykresy dla przetwornika z podwójnym całkowaniem

1.5 Przetworniki realizujące metodę kolejnych przybliżeń

Metoda kolejnych przybliżeń, określana również jako metoda z aproksymacją krokową, polega na wykonaniu n porównań napięcia przetwarzanego U_I z n różnymi napięciami wzorcowymi (spośród n możliwych), przy czym wybór kolejnego napięcia wzorcowego zależy od wyniku porównania w poprzednim kroku. Zasada postępowania jest taka, by w każdym kroku określać z dwukrotnie większą dokładnością, do którego z 2^n przedziałów napięć, na które podzielony jest zakres zmian napięcia wejściowego $0 \div U_{FS}$ należy napięcie U_I . [1]

W kroku pierwszym zawsze porównuje się napięcie wejściowe U_I z napięciem $\frac{1}{2}U_{FS}$. Jeżeli wynik porównania wskaże, że $U_I < \frac{1}{2}U_{FS}$, to najbardziej znaczącemu bitowi a_1 (MSB) słowa kodowego przypisuje się wartość logiczną zero i w drugim kroku porównuje się napięcie U_I z wartością $\frac{1}{4}U_{FS}$. Jeżeli w pierwszym kroku wynik komparacji wskaże, że $U_I > \frac{1}{2}U_{FS}$, to bit a_1 przyjmuje wartość jeden i w drugim kroku dokonuje się porównania napięcia U_I z wartością $\frac{3}{4}U_{FS}$. Po wykonaniu n kroków określone będą wszystkie bity słowa kodowego. Na rysunku 1.8 przedstawiono poglądowo zasadę "rozgałęziania" w kolejnych krokach.

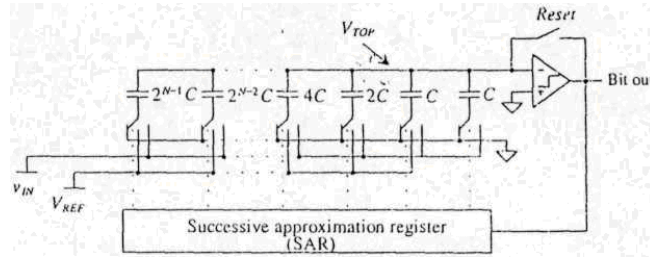


Rys. 1.8: Ilustracja metody kolejnych przybliżeń

1.5.1 Przetwornik analogowo–cyfrowy oparty na przełączanych pojemnościach

Technika sukcesywnego porównywania (zwana również równoważenia ładunku) jest bardzo popularną w projektowaniu analogowo cyfrowych przetworników, ponieważ oferuje najlepsze rozwiązanie pomiędzy prędkością, rozdzielczością i zajmowaną przestrzenią. [?] Przetwornik A/C składa się z matrycy kondensatorów o wartościach ważonych binarnie, jednego kondensatora o wadze odpowiadającej najmniej znaczącemu bitowi, komparatora napięcia oraz kluczy łączących okładki kondensatorów z odpowiednimi napięciami. Schemat przedstawiony jest na rys 1.9. Konwersja składa się z trzech etapów: próbkowania, fazy przejściowej oraz porównywania.

1. W pierwszym kroku dolne okładki kondensatora są podłączone do napięcia wejściowego V_{in} podczas gdy górne podłączone są



Rys. 1.9: Schemat przetwornika a/c z równoważeniem ładunku.

do napięcia referencyjnego V_{ref} .

2. W drugim kroku dolne końcówki są przełączone do masy, a klucz łączący górne końcówki do V_{ref} jest otwarty. W tym kroku napięcie na górnych okładkach zmienia się z V_{ref} do $V_{ref} - V_{in}$.
3. W ostatnim kroku przetwornik wchodzi w stan porównywania i szuka kodu cyfrowego odpowiadającego napięciu wejściowemu. W pierwszym cyklu największy kondensator podłączony jest do napięcia V_{ref} . W rezultacie napięcie na górnej okładce jest równe: $V_{ref} - V_{in} + V_{ref}/2$. Napięcie różnicowe pomiędzy wejściami komparatora wynosi teraz $-V_{in} + V_{ref}/2$. Jeśli napięcie to jest mniejsze od 0 komparator wystawia logiczną 1 i największy kondensator pozostaje podłączony do V_{ref} . W przeciwnym razie kondensator ten przełączony zostaje do masy. W ten sposób najbardziej znaczący bit jest ustalony i zapamiętany. W ten sam sposób ustalane są kolejne bity.

1.6 Przetwornik sigma–delta

W przetwornikach z modulatorem sigma–delta częstotliwość próbkowania jest dużo większa od częstotliwości Nyquista, co umożliwia kształtowanie szumu kwantyzacji. Istnieje wiele rozwiązań prze-

tworników $\Sigma\Delta$, ale zasada działania jest taka sama. W pierwszym etapie sygnał wejściowy jest całkowany, a następnie kwantyzowany za pomocą przetwornika a/c. System zawiera również wielobitowy przetwornik c/a do rekonstrukcji sygnału analogowego. Modulator sigma-delta przekształca analogowy sygnał wejściowy w zmodulowany impulsowo 1-bitowy strumień cyfrowy o częstotliwości próbkowania dużo większej niż częstotliwość Nyquista. Strumień ten jest zmodulowany sygnałem wejściowym, tak aby liczba impulsów w zadanym przedziale czasu T_c , nazywanym okresem przetwarzania, odpowiadała wartości sygnału wejściowego oraz aby impulsy były możliwie równomiernie rozłożone w całym przedziale T_c .^[4] W kolejnym kroku za pomocą filtru cyfrowego strumień 1-bitowy jest przekształcany w cyfrowy sygnał wyjściowy. W ostatnim etapie odfiltrowywany jest szum z 1-bitowego strumienia, który został tak ukształtowany przez modulator aby większość jego energii była poza sygnałem.

1.7 Porównanie

Układ	Budowa	Napięcie zasilania [V]	Pasma sygnału wej.	Rozdzielczość [bit]	SNR [dB]	Moc pobierana [mW]
AD9066	flash	5	100 MHz	6	-	600
AD9240	flash, pipeline	5	70MHz	14	78,5	285
AD7273	SAR	3	1 MHz	10	70	13,5
AD7938	SAR	3; 5	50 kHz	12	70	12
AD7721	$\Sigma\Delta$	5	229,2kHz	16/12	-	150
AD1175	wielokrotne całkowanie	5	20 kHz	22	90	200

¹www.analog.com

Jak wynika z tabeli największą dokładność (22 bity) uzyskują przetworniki całkujące. Okupione jest to jednak szybkością przewarzania ograniczoną do 20 kHz. Przetworniki typu SAR są szybsze, ale ich rozdzielczość spada do 12 bitów. Zdecydowanie jednak mają najmniejszy pobór prądu, co jest ich zaletą. Jak wcześniej wspomniano, do najszybszych przetworników zalicza się przetworniki typu flash. Ich pasmo może sięgać 100 MHz przy 6-bitowej rozdzielczości, jednak charakteryzują się największym poborem mocy ze źródła.

Bibliografia

1. Z. Kulka, M.Nadachowski, A. Libura: *Przetworniki analogowo–cyfrowe i cyfrowo–analogowe.* ()
2. J. Zabrodzki, M. Łakomy *Scalone przetworniki analogowo–cyfrowe i cyfrowo–analogowe.* (Warszawa PWN 1992)
3. Rudy van de Plassche: *Scalone przetworniki a/c i c/a.* (Warszawa WKŁ 1997)
4. K. Wawryn, R. Suszyński: *Współczesne przetworniki a/c wykonywane w technologii CMOS.* (Elektronika 2002)